

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004年12月23日 (23.12.2004)

PCT

(10) 国際公開番号  
WO 2004/112141 A1

(51) 国際特許分類<sup>7</sup>: H01L 27/092, H03D 7/14, H04B 1/30, H01L 29/78, 21/336

(21) 国際出願番号: PCT/JP2004/008216

(22) 国際出願日: 2004年6月11日 (11.06.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2003-168530 2003年6月12日 (12.06.2003) JP  
特願2003-183609 2003年6月26日 (26.06.2003) JP

(71) 出願人(米国を除く全ての指定国について): 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JIDOSHOKKI) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 2丁目1番地 Aichi (JP). 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒9430834 新潟県上越市西城町2丁目5番13号 Niigata (JP).

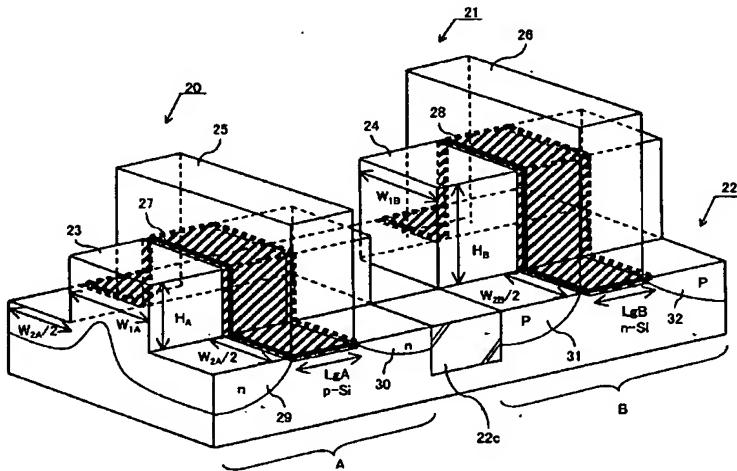
(71) 出願人および  
(72) 発明者: 大見忠弘 (OHMI, Tadahiro) [JP/JP]; 〒9800813 宮城県仙台市青葉区米ヶ袋2-1-17-301 Miyagi (JP).

(72) 発明者; および  
(75) 発明者/出願人(米国についてのみ): 西牟田武史 (NISHIMUTA, Takefumi) [JP/JP]; 〒4488671 愛知県刈谷市豊田町2丁目1番地 株式会社豊田自動織機内 Aichi (JP). 宮城弘 (MIYAGI, Hiroshi) [JP/JP]; 〒9430834 新潟県上越市西城町2丁目5番13号 新潟精密株式会社内 Niigata (JP). 須川成利 (SUGAWA, Shigetoshi) [JP/JP]; 〒9800861 宮城県仙台市青葉区川

[統葉有]

(54) Title: FREQUENCY CONVERTING CIRCUIT OF DIRECT CONVERSION RECEPTION, SEMICONDUCTOR INTEGRATED CIRCUIT THEREOF, AND DIRECT CONVERSION RECEIVER

(54) 発明の名称: ダイレクトコンバージョン受信の周波数変換回路、その半導体集積回路及びダイレクトコンバージョン受信機



(57) Abstract: A rectangular parallelepiped protrusion part (21) having a height  $H_B$  and a width  $W_B$  is formed on a silicon substrate, and a gate oxide film is formed on portions of the top and side wall surfaces of the protrusion part (21). A source and a drain are formed on the two opposite sides of a gate electrode (26), thereby forming a MOS transistor. This MOS transistor is used to configure a frequency converting circuit and a reception circuit of direct conversion. In this way, the errors of I and Q signals in a frequency converting circuit of direct conversion reception can be reduced.

(57) 要約: シリコン基板上に高さ  $H_B$  で、幅が  $W_B$  の直方体状の突出部 21 を形成し、突出部 21 の頂面及び側壁面の一部にゲート酸化膜を形成する。ゲート電極 26 の両側にソースとドレインを形成してMOSトランジスタを形成する。このMOSトランジスタで周波数変換回路及びダイレクトコンバージョンの受信回路を構成する。これにより、ダイレクトコンバージョン受信の周波数変換回路における I 信号と Q 信号の誤差を減らす。

WO 2004/112141 A1



内元支倉35-2-102 Miyagi (JP). 寺本 章伸 (TER-AMOTO, Akinobu) [JP/JP]; 〒9830037 宮城県仙台市宮城野区平成1丁目1-22-2 Miyagi (JP).

(74) 代理人: 大曾 義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町8番地20 二番町ビル3F Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

## ダイレクトコンバージョン受信の周波数変換回路、その半導体集積回路及びダイレクトコンバージョン受信機

## 技術分野

[0001] 本発明は、半導体集積回路基板上に形成されるダイレクトコンバージョン受信の周波数変換回路、その半導体集積回路及びダイレクトコンバージョン受信機に関する。

## 背景技術

[0002] 従来、MOSトランジスタの製造プロセスでは、800度C程度の高温雰囲気中でシリコン表面に熱酸化膜を形成し、その熱酸化膜をゲート絶縁膜としてMOSトランジスタを製造していた。

[0003] 半導体の生産効率を高めるためにより低い温度環境で酸化膜を形成することが望まれている。そのような要望を実現するために、例えば、特許文献1には、低温のプラズマ雰囲気中で絶縁膜を形成する技術が開示されている。

[0004] 携帯電話等の無線通信の分野においては、機器の小型化、低コスト化を実現するために回路の集積化が行われている。

無線信号の復調方式として、受信信号を中間周波数に変換し、増幅した後、ベースバンド信号に変換するスーパー・ヘテロダイイン方式、受信信号を直接ベースバンド信号に変換するダイレクトコンバージョン方式が知られている。

[0005] ダイレクトコンバージョン方式は、スーパー・ヘテロダイイン方式のように中間周波信号に変換する際に発生するイメージを除去するフィルタ等が不要となるので、より簡素な回路で受信機を構成することができる。

[0006] 図8は、ダイレクトコンバージョン受信機の回路の主要部を示す図である。

アンテナ41で受信された無線信号は、ローノイズアンプ(低雑音増幅器)42により増幅され、ミキサ回路43及び44に入力する。

[0007] ミキサ回路43の他方の入力端子には、局部発振回路45で生成されるローカル信号が入力し、ミキサ回路44の他方の入力端子には、そのローカル信号の位相を移相器46により90度位相をずらしたローカル信号が入力する。

[0008] ミキサ回路43及び44において、受信信号とそれらのローカル信号が混合され、90度の位相差を有するベースバンド信号に変換される。そして、ローパスフィルタ47, 48により所定の周波数以上の信号が減衰され、DCアンプ49, 50に出力される。

[0009] DCアンプ49, 50は、ベースバンド信号をA／D変換器51, 52の分解能に応じた信号レベルまで増幅する。

A／D変換器51, 52は、アナログのベースバンド信号をデジタル信号に変換し、デジタル信号処理プロセッサ(DSP)53に出力する。DSP53は、ベースバンド信号に対してデジタル信号処理を行い信号を復調する。

[0010] 上記のダイレクトコンバージョン受信回路では、ミキサ等でDCオフセットが生じ、ベースバンドのI信号、Q信号にDCオフセットが含まれてしまうという問題があった。

そのような問題を解決するために、例えば、特許文献1には、可変増幅器、位相調整器及び混合器を設け、所定の受信周波数においてDCオフセットが最小となるような位相及び増幅度を設定し、その設定値を記憶しておいて、受信周波数を選定したときに、位相調整器及び可変増幅器の位相及び増幅度を記憶してある設定値に設定することでI信号及びQ信号のDCオフセットを減らすことが記載されている。

[0011] また、特許文献2には、シリコン基板上に立体構造のゲートを形成することが記載されている。

特許文献1:特開2001-119316号公報(図1, 段落0016, 0017等)

特許文献2:特開2002-110963(図1)

[0012] しかしながら、特許文献1の方法は、位相調整回路及び可変増幅回路等を追加しなければならないので受信回路が複雑になるという問題点がある。

[0013] また、周波数変換回路のMOSトランジスタの特性のばらつきによる位相誤差、振幅誤差等が生じ、I信号及びQ信号に位相誤差、振幅誤差等が含まれるという問題点があった。

## 発明の開示

[0014] 本発明の課題は、ダイレクトコンバージョン受信の周波数変換回路のI信号とQ信号の誤差を減らすことである。また、他の課題は、ダイレクトコンバージョン受信回路の1/fノイズ、DCオフセットを減らすことである。また、他の課題は、ダイレクトコンバージ

ヨン受信回路における信号の歪みを減らすことである。

[0015] 本発明のダイレクトコンバージョン受信の周波数変換回路は、受信信号を直交変換してI信号とQ信号に変換する回路が半導体集積回路基板上に形成された周波数変換回路であって、第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したMIS電界トランジスタからなる差動増幅回路を有する。

[0016] この発明によれば、MIS電界効果トランジスタの特性のばらつきを少なくすることで、周波数変換回路内部で発生する位相誤差、振幅誤差等を減らし、I信号とQ信号の誤差を少なくできる。これにより、周波数変換回路に位相調整回路等を設ける必要がなくなる。

[0017] さらに、ゲートを立体構造にし、低温プラズマ雰囲気中でゲート絶縁膜を形成することでチャネル長変調効果の影響を少なくし、周波数変換回路における信号の歪みを少なくできる。

[0018] また、MIS電界効果トランジスタの特性(例えば、しきい値電圧など)のばらつきを少なくすることで、例えば、周波数変換回路を構成する複数のミキサ回路のDCオフセット、 $1/f$ ノイズをほぼ同じレベルに低減することができる。

[0019] また、MIS電界効果トランジスタの電流駆動能力を向上させることができると共に、シリコン基板の主面におけるMIS電界効果トランジスタの素子面積を小さくできる。上記の発明において、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記ゲート絶縁膜を形成し、該ゲート絶縁膜の水素含有量が表面密度換算で $10^{11}/\text{cm}^2$ 以下となるようにする。

[0020] 不活性ガスは、例えば、アルゴン、クリプトン、キセノンなどからなる。このように構成することで、シリコン表面のダメージを減らし、平坦度を高め、MIS電界効果トランジスタの特性(例えば、しきい値電圧など)のバラツキを少なくできる。こ

れにより、周波数変換回路のDCオフセットや $1/f$ のノイズを低減することができる。 $1/f$ ノイズの低減は受信信号を音声信号に直接変換するダイレクトコンバージョン方式の周波数変換回路に特に有効である。

- [0021] 上記の発明において、前記突出部は、頂面がシリコンの(100)面からなり、側壁面がシリコンの(110)からなり、前記ソース及びドレインが、前記ゲートを挟む前記突出部及びシリコン基板の前記突出部の左右の領域に形成する。
- [0022] このように構成することで、シリコン基板の(100)面と(110)面にチャネルを形成することができるので、電界効果トランジスタの電流駆動能力を向上させることができる。
- [0023] 上記の発明において、前記周波数変換回路は、pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタからなり、前記pチャネルMIS電界効果トランジスタの前記突出部の頂面及び側壁面のゲート幅を、pチャネルMISトランジスタとnチャネルMISトランジスタの電流駆動能力がほぼ等しくなるように設定する。
- [0024] このように構成することで、pチャネルMIS電界効果トランジスタと、nチャネルMIS電界効果トランジスタの寄生容量をほぼ等しくできる。これにより、增幅回路の特性を改善できる。また、スイッチング時のノイズを低減できる。
- [0025] 本発明のダイレクトコンバージョン受信の半導体集積回路は、受信信号を直交変換してI信号とQ信号に変換する周波数変換回路を半導体回路基板上に形成した半導体集積回路であって、第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなる回路と、前記pチャネルMIS電界効果トランジスタまたは前記nチャネルMIS電界効果トランジスタからなる差動增幅回路を有する周波数変換回路とからなる。
- [0026] この発明によれば、MIS電界効果トランジスタの特性のバラツキを少なくすることで、周波数変換回路内部で発生する位相誤差、振幅誤差等を減らし、I信号とQ信号の誤差を少なくできる。

[0027] さらに、ゲートを立体構造にし、低温プラズマ雰囲気中でゲート絶縁膜を形成することでチャネル長変調効果の影響を少なくし、周波数変換回路における信号の歪みを減らすことができる。

[0028] また、立体構造の異なる結晶面にゲート絶縁膜を形成することで、MIS電界効果トランジスタの電流駆動能力を向上させると共に、シリコン基板の正面におけるMIS電界効果トランジスタの素子面積を小さくすることができる。

[0029] さらに、周波数変換回路以外の回路に上記のpチャネルMIS電界効果トランジスタとnチャネルMISトランジスタを使用することで、その回路における信号歪みを少なくできる。また、 $1/f$ ノイズとDCオフセットを減らすことができる。 $1/f$ ノイズの低減は受信信号を音声信号に直接変換するダイレクトコンバージョン方式の周波数変換回路に特に有効である。

[0030] 上記の発明において、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの頂面及び側壁面の幅を、前記pチャネルMIS電界効果トランジスタと前記nチャネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるようとする。

[0031] 上記の発明において、前記周波数変換回路は、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなるCMOS回路で構成される。このように構成することで、pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの電流駆動能力をほぼ等しくできる。これにより、スイッチング時のノイズを正負対称にしてノイズを減らすことができる。

[0032] 本発明のダイレクトコンバージョン受信機またはダイレクトコンバージョン受信機用半導体集積回路は、第1の結晶面を正面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したMIS電界トランジスタからなる差動増幅回路を有する周波数変換回路と、前記MIS電界効果トランジスタからなる差動増幅回路を有するDCアンプとを半導体集

積回路基板上に形成した。

[0033] 本発明の他のダイレクトコンバージョン受信機または受信機用半導体集積回路は、第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したMIS電界トランジスタからなる差動增幅回路を有する周波数変換回路と、前記MIS電界効果トランジスタからなる低雑音增幅器とを半導体集積回路基板上に形成した。

[0034] 本発明の他のダイレクトコンバージョン受信機または受信機用半導体集積回路は、第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したMIS電界トランジスタからなる差動增幅回路を有する周波数変換回路と、前記MIS電界効果トランジスタからなる差動增幅回路を有するDCアンプと、前記MIS電界効果トランジスタからなる低雑音增幅器とを半導体集積回路基板上に形成したダイレクトコンバージョン受信機。

[0035] 上記の発明によれば、ダイレクトコンバージョン受信回路における $1/f$ ノイズとDCオフセットを低減できる。さらに、チャネル長変調効果の影響を少なくし、回路の信号の歪みを少なくできる。

図面の簡単な説明

[0036] [図1]ラジアルラインスロットアンテナを用いたプラズマ装置の断面図である。

[図2]界面準位密度の比較図である。

[図3]実施の形態の半導体製造プロセスにより製造したシリコン基板の構造を示す図である。

[図4]実施の形態の半導体製造プロセスにより製造したMOSトランジスタの構造を示

す図である。

[図5]ミキサの回路を示す図である。

[図6]DCアンプの回路を示す図である。

[図7]低雑音増幅器の回路を示す図である。

[図8]従来のダイレクトコンバージョン方式の受信回路を示す図である。

### 発明の実施をするための最良の形態

[0037] 以下、本発明の実施の形態を図面を参照しながら説明する。最初に、プラズマ状態の不活性ガスを用いて低温でシリコン基板上にゲート絶縁膜(例えば、酸化膜)を形成し、MIS(metal insulator semiconductor)電界効果トランジスタを製造する半導体製造プロセスについて説明する。ゲート絶縁膜の形成方法については、特開2002-261091号公報に開示されている。

[0038] 図1は、半導体製造プロセスで使用されるラジアルラインスロットアンテナを用いたプラズマ処理装置の断面図である。

真空容器(処理室)11内を真空にし、次にシャワープレート12からアルゴン(Ar)ガスを導入した後、Arガスを排出口11Aから排出し、クリプトン(Kr)ガスに切り替える。  
処理室11内の圧力は133Pa(1Torr)程度に設定する。

[0039] 次に、シリコン基板14を、加熱機構を持つ試料台13の上に置き、試料の温度を40°C程度に設定する。シリコン基板14の温度が200-550°Cの範囲内であれば、以下に述べる結果はほとんど同様のものとなる。

[0040] シリコン基板14は、直前の前処理工程において希フッ酸洗浄が施され、その結果表面のシリコン未結合手が水素で終端されている。

次に、同軸導波管15からラジアルラインスロットアンテナ16に周波数が2.45GHzのマイクロ波を供給し、マイクロ波をラジアルラインスロットアンテナ16から処理室11の壁面の一部に設けられた誘電体板17を通して処理室11内に導入する。導入されたマイクロ波はシャワープレート12から処理室11内に導入されたKrガスを励起し、その結果シャワープレート12の直下に高密度のKrプラズマが形成される。供給するマイクロ波の周波数が900MHz程度以上、約10GHz程度以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。

[0041] 図1の構成においてシャワープレート12とシリコン基板14の間隔は約6cmに設定している。この間隔は狭いほうがより高速な成膜が可能となる。

なお、ラジアルラインスロットアンテナを用いたプラズマ装置に限らず、他の方法を用いてマイクロ波を処理室内に導入してプラズマを励起してもよい。

[0042] シリコン基板13をKrガスで励起されたプラズマに曝すことにより、シリコン基板14の表面は低エネルギーのKrイオン照射を受け、その表面終端水素が除去される。

次に、シャワープレート12から97/3の分圧比のKr/O<sub>2</sub>混合ガスを導入する。この際、処理室内の圧力は133Pa(1Torr)程度に維持しておく。KrガスとO<sub>2</sub>ガスが混合された高密度励起プラズマ中では、中間励起状態にあるKr\*とO<sub>2</sub>分子が衝突し、原子状酸素O\*を効率よく大量に発生できる。

[0043] この実施の形態では、この原子状酸素O\*によりシリコン基板14の表面を酸化する。従来のシリコン表面の熱酸化法では、O<sub>2</sub>分子やH<sub>2</sub>O分子により酸化が行われ、800°C以上の極めて高い処理温度が必要であったが、この実施の形態で行った原子状酸素による酸化処理では、400°C程度の非常に低い温度で酸化が可能である。Kr\*とO<sub>2</sub>の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生したO\*同志が衝突し、O<sub>2</sub>分子に戻ってしまうので、最適ガス圧力が存在する。

[0044] 所望の膜厚のシリコン酸化膜(シリコン化合物層)が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O<sub>2</sub>混合ガスをArガスに置換して酸化工程を終了する。本工程の前後にArガスを使用するのはKrより安価なガスをバージガスに使用するためである。本工程に使用されたKrガスは回収再利用する。

[0045] 上記の酸化膜形成に続いて、電極形成工程、保護膜形成工程、水素シンタ処理工程等を施してトランジスタやキャパシタを含む半導体集積回路を作成する。

上記の手順で形成されたシリコン酸化膜中の水素含有量を昇温放出により測定したところ、3nmの膜厚のシリコン酸化膜において面密度換算で10<sup>12</sup>/cm<sup>2</sup>程度以下であった。特にリーク電流が少ない酸化膜においてはシリコン酸化膜内の水素含有量は、面密度換算で10<sup>11</sup>/cm<sup>2</sup>程度以下であった。一方、酸化膜形成前にKrプラズマの暴露を行わなかった酸化膜は面密度換算で10<sup>12</sup>/cm<sup>2</sup>を超える水素を含んで

いた。

[0046] 上記のようにKrプラズマ照射により終端水素除去を施してからKr/O<sub>2</sub>ガスを導入して酸化を行った場合には、従来のマイクロ波プラズマ酸化により形成されたシリコン酸化膜よりも同一電圧におけるリーク電流が2~3桁も減少し、非常に良好な低リーク特性が得られた。リーク電流特性の改善は、さらに薄い1.7nm程度までの膜厚のシリコン酸化膜でも集積回路を製造できることが確認された。

[0047] また、上記の半導体製造プロセスにより得られたシリコン酸化膜について、シリコン/Silicon酸化膜界面準位密度の面方位依存性を測定してみると、どの面方位のシリコン表面においても、約 $1 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ の非常に低い界面準位密度が得られた。

[0048] 図2は、シリコン基板の(100)面、(110)面、(111)面の各面に上述した半導体性製造プロセスにより形成したKr/O<sub>2</sub>膜と、従来の熱酸化膜の界面準位密度の測定結果を示す図である。

[0049] 図2に示すように、Kr/O<sub>2</sub>膜を形成した場合には、(100)面、(110)面、(111)面の何れの面でもシリコンの界面準位密度が約 $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下となっている。これに対して、従来の800°C以上の雰囲気で形成した熱酸化膜の界面準位密度は、(100)面でも1.1倍以上の値となっており、上記の半導体製造プロセスにより、界面準位密度の低い高品質の絶縁膜を形成できることが分かる。

[0050] 界面準位密度を低くすることにより、キャリアの再結合の確率を減らすことができ、それにより1/fノイズを低減することができる。

耐圧特性、ホットキャリア耐性、ストレス電流を流したときのシリコン酸化膜が破壊に至るまでの電荷量QBD(Charge-to-Breakdown)などの電気的特性、信頼性的特性に関して、第1の実施の形態の半導体製造プロセスで形成した酸化膜は、従来の熱酸化膜と同等ないしはそれ以上の良好な特性を示した。

[0051] 上述したように、表面終端水素を除去してからKr/O<sub>2</sub>高密度プラズマによりシリコン酸化工程を行うことで、400°Cという低温において、あらゆる面方位のシリコンに優れたシリコン酸化膜を形成することができる。このような効果が得られるのは、終端水素除去により酸化膜中の水素含有量が少なくなり、かつ、酸化膜中に不活性ガス(

例えば、Kr)が含有されることに起因していると考えられる。酸化膜中の水素が少ないことでシリコン酸化膜内の元素の弱い結合が少なくなり、またKrが含有されることにより、膜中やSi/SiO<sub>2</sub>界面でのストレスが緩和され、膜中電荷や界面準位密度が低減され、その結果、シリコン酸化膜の電気的特性が大幅に改善されているものと考えられる。

[0052] 上述した半導体製造プロセスでは、表面密度換算において水素濃度を10<sup>12</sup>/cm<sup>2</sup>以下、望ましくは10<sup>11</sup>/cm<sup>2</sup>程度以下にすることと、5×10<sup>11</sup>/cm<sup>2</sup>以下程度のKrを含むことが、シリコン酸化膜の電気的特性、信頼性的特性の改善に寄与しているものと考えられる。

[0053] なお、上記の半導体プロセスにおいて、不活性ガスとNH<sub>3</sub>ガスとの混合ガス、不活性ガスとO<sub>2</sub>とNH<sub>3</sub>との混合ガスを用い、シリコン窒化膜、シリコン酸窒化膜を形成しても良い。

[0054] 窒化膜を形成することにより得られる効果は、表面終端水素を除去した後においても、プラズマ中に水素が存在することがひとつの重要な要件である。プラズマ中に水素が存在することにより、シリコン窒化膜中及び界面のダングリングボンドがSi—H、N—H結合を形成して終端され、その結果シリコン窒化膜及び界面の電子トラップが無くなると考えられる。

[0055] また、酸窒化膜を形成することにより得られる効果は、終端水素除去により酸窒化膜中の水素含有量が減少していることだけではなく、酸窒化膜中に数割以下の窒素が含有していることにも起因しているとも考えられる。酸窒化膜のKrの含有量は酸化膜に比較すると1/10以下であり、Krの代わりに窒素が多く含有されている。すなわち、酸窒化膜中の水素が少ないために、シリコン窒化膜中において弱い結合の割合が減少し、また窒素が含有されることにより、膜中やSi/SiO<sub>2</sub>また界面でのストレスが緩和され、その結果膜中電荷や界面準位密度が減少し、酸窒化膜の電気的特性が大幅に改善されたものと考えられる。

[0056] プラズマ雰囲気中において酸化膜、あるいは酸窒化膜を形成することにより得られた好ましい結果は、終端水素が除去されたことによるだけが原因ではなく、窒化膜、酸窒化膜中にArまたはKrが含有されることにも関係すると考えられる。すなわち

、上記の半導体製造プロセスにより得られる窒化膜では窒化膜中やシリコン／窒化膜界面でのストレスが、窒化膜中に含有されるArあるいはKrにより緩和され、その結果シリコン窒化膜中の固定電荷や界面準位密度が低減され、電気的特性特には1/fノイズの低減、信頼性が大幅に改善されたものと考えられる。

[0057] 上記の半導体製造プロセスにおいて使用する不活性ガスは、Arガス、Krガスに限らず、キセノンXeガスも使用できる。

さらに、シリコン酸化膜、シリコン酸窒化膜を形成した後、真空容器1内の圧力を133Pa(1Torr)程度に保ったままシャワープレート12から分圧比98/2のKr/NH<sub>3</sub>混合ガスを導入し、シリコン酸化膜、シリコン酸窒化膜の表面に約0.7nmのシリコン窒化膜を形成しても良い。

[0058] これにより、表面にシリコン窒化膜が形成されたシリコン酸化膜、あるいはシリコン酸窒化膜が得られるのでより高い比誘電率を有する絶縁膜を形成することができる。

上述した半導体製造プロセスを実現するためには、図1の装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。例えば、マイクロ波によりプラズマを励起するためのArまたはKrガスを放出する第1のガス放出構造と、O<sub>2</sub>、NH<sub>3</sub>、またはN<sub>2</sub>/H<sub>2</sub>ガスを放出する、前記第1のガス放出構造とは異なる第2のガス放出構造とをもつ2段シャワープレート型プラズマプロセス装置を使用することも可能である。

[0059] 次に、本発明の実施の形態の半導体製造プロセスについて説明する。この半導体プロセスは、シリコン基板の(100)面と(110)面にMIS電界効果トランジスタのゲート絶縁膜を形成するものである。

[0060] シリコンの(111)面にpチャネルトランジスタを形成すると、(100)面に比べて約1.3倍の電流駆動能力が得られ、(110)面に形成すると、(100)の面の約1.8倍の電流駆動能力が得られる。

[0061] 図3は、実施の形態の半導体製造プロセスにより、シリコン基板22に(100)と(110)面を有する突出部23及び24を形成した状態を示している。また、図4は、実施の形態の半導体製造プロセスにより製造したnチャネルMOSトランジスタ20と、pチャネルMOSトランジスタ21の構造を示す図である。なお、図4にはゲート酸化膜の下部に

形成されるチャネルを斜線で示してある。

[0062] 図3に示すように、(100)面を主面とするシリコン基板22は、素子分離領域22cによりp型領域Aとn型領域Bとに分離されている。領域Aには、(100)面を基準にして高さが $H_A$ で幅が $W_{1A}$ の直方体形状の突出部23が形成され、領域Bには、同様に高さが $H_B$ で幅が $W_{1B}$ の突出部24が形成されている。

[0063] 図4に示すように、シリコン基板22の表面及び突出部23及び24の頂面及び側壁面には、上述した実施の形態の半導体製造プロセスによりシリコン酸化膜が形成されている。

[0064] そして、そのシリコン酸化膜の上にポリシリコンゲート電極25及び26が形成され、ゲート電極25及び26を形成する際に、シリコン酸化膜もパターンニングされ、ゲート電極25及び26の下部にゲート絶縁膜27及び28が選択的に形成される。

[0065] さらに、p型領域Aのゲート電極25の両側の領域にn型不純物イオンを注入して、突出部23を含むn型拡散領域29及び30を形成している。このn型拡散領域29及び30は、nチャネルMOSトランジスタ20のソースとドレインを構成する。n型領域Bにおいても、同様にゲート電極26の両側の領域にp型不純物イオンを注入して、突出部24を含むp型拡散領域31及び32を形成している。このp型拡散領域31及び32は、p型MOSトランジスタ21のソースとドレインを構成する。

[0066] pチャネルMOSトランジスタ21及びnチャネルMOSトランジスタ20のゲート電極26及び25に所定の電圧が印加されると、ゲート酸化膜28及び27の下部に、図4に斜線で示すチャネルが形成される。

[0067] nチャネルMOSトランジスタ20の(100)面のゲート幅は、突出部23の頂面(突出部23の上面)で $W_{1A}$ 、突出部23の下部の左右のシリコン基板22の平坦部でそれぞれ $W_{2A}/2$ であるので合計で $W_{1A} + W_{2A}$ となる。また、nチャネルMOSトランジスタ20の(110)面のゲート幅、すなわち突出部23の左右の側壁面のゲート幅は、それぞれ $H_A$ であるので合計で $2H_A$ となる。このゲート幅がチャネル幅に相当する。nチャネルMOSトランジスタ20のゲート長は $LgA$ である。

[0068] 従って、nチャネルMOSトランジスタ20の電流駆動能力は、 $\mu_{n1}(W_{1A} + W_{2A}) + \mu_{n2} \cdot 2H_A$ で表すことができる。なお、 $\mu_{n1}$ は(100)面における電子移動度、 $\mu_{n2}$ は(110)

面における電子移動度である。

[0069] 同様に、pチャネルMOSトランジスタ21の(100)面のゲート幅は突出部24の頂面で $W_{1B}$ 、突出部24の下部の左右のシリコン基板22の平坦部でそれぞれ $W_{2B}/2$ であるので、合計で $W_{1B} + W_{2B}$ となる。また、pチャネルMOSトランジスタ21の(110)面のゲート幅、すなわち、突出部24の左右の側壁面におけるゲート幅は、それぞれ $H_B$ であるので、合計のゲート幅は $2H_B$ となる。このゲート幅がチャネル幅に相当する。pチャネルMOSトランジスタ21のゲート長は $LgB$ である。

[0070] 従って、pチャネルMOSトランジスタ21の電流駆動能力は、 $\mu_{p1}(W_{1B} + W_{2B}) + \mu_{p2} \cdot 2H_B$ で表すことができる。 $\mu_{p1}$ は、(100)面におけるホール移動度、 $\mu_{p2}$ は、(110)面におけるホール移動度を表す。

[0071] 以上のことから、突出部23及び24の高さ $H_A$ を及び $H_B$ を適宜な値に設定することで、pチャネルMOSトランジスタ21の電流駆動能力と、nチャネルMOSトランジスタ20の電流駆動能力を平衡させることができる。この条件を式で表すと、以下のようになる。

$$\mu_{n1}(W_{1A} + W_{2A}) + \mu_{n2} \cdot 2H_A = \mu_{p1}(W_{1B} + W_{2B}) + \mu_{p2} \cdot 2H_B$$

\*上記の式を満足するような値に $H_A$ 及び $H_B$ を設定することにより、pチャネルMOSトランジスタ21の電流駆動能力とnチャネルMOSトランジスタ20の電流駆動能力を平衡させることができる。この場合、pチャネルMOSトランジスタ21の主面(例えば、(100)面)におけるチャネル幅を、nチャネルMOSトランジスタ20の(100)面におけるチャネル幅に比べて大幅に広くする必要がないので、両者のゲート絶縁膜による寄生容量の差を小さくできる。これにより、pチャネルMOSトランジスタ21とnチャネルMOSトランジスタ20とによりCMOS構造の回路を構成した場合に、両者のゲート酸化膜による寄生容量を充放電するときの電流値のアンバランスを減らし、CMOS構造のトランジスタのスイッチング時に発生するノイズレベルを小さくできる。

[0073] なお、nチャネルMOSトランジスタ20のゲートの高さ $H_A$ を「0」にし、そのnチャネルMOSトランジスタ20と電流駆動能力がほぼ等しくなるようにpチャネルMOSトランジスタ21のゲートの高さ $H_B$ を設定しても良い。

[0074] また、pチャネルMOSトランジスタ21またはnチャネルMOSトランジスタ20を単独

で形成する場合でも、pチャネルまたはnチャネルMOSトランジスタのシリコン基板の正面(例えば、(100)面)におけるゲートの面積を従来の半導体製造プロセスで製造する場合より狭くできるので、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタのシリコン基板の正面に占める面積を小さくできる。これにより、半導体回路の集積度を高めることができる。さらに、pチャネル及びnチャネルMOSトランジスタの寄生容量を小さくできるので、MOSトランジスタのスイッチ速度の向上と、スイッチング時の消費電力を減らすことができる。

[0075] なお、シリコン表面に形成する絶縁膜は酸化膜に限らず、シリコン窒化膜、シリコン酸窒化膜等を形成しても良い。

次に、上述した半導体製造プロセスにより、ダイレクトコンバージョンの受信の周波数変換回路を半導体回路基板上に形成する場合について説明する。

[0076] ダイレクトコンバージョン受信の周波数変換回路は、例えば、図8のミキサ43及び44と局部発振回路45と移相器46とからなる。以下、ミキサ回路43の具体的構成を、図5を参照して説明する。

[0077] 図5は、ダブルバランス・ミキサであるギルバート・セルの回路を示す。このミキサ回路43は、pチャネルとnチャネルMOSトランジスタとにより構成されている場合を示している。

[0078] ミキサ回路43は、局部発振信号(LO信号)がゲートに入力する2組の差動対nチャネルMOSトランジスタM1～M4(差動增幅回路)と、RF信号がゲートに入力する1組の差動対nチャネルMOSトランジスタM5及びM6(差動增幅回路)と、定電流源であるnチャネルMOSトランジスタM7と、負荷として機能するpチャネルMOSトランジスタM8及びM9が縦型に接続されている。MOSトランジスタM7のゲートには、バイアス電圧VBIASが供給され、ソースは接地されている。

[0079] MOSトランジスタM5及びM6のソースは、MOSトランジスタM7のドレインに接続され、MOSトランジスタM5及びM6のゲートにはRF信号が差動入力されている。

MOSトランジスタM1及びM2のソースとMOSトランジスタM5のドレインを接続すると共に、MOSトランジスタM3及びM4のソースとMOSトランジスタM6のドレインを接続し、MOSトランジスタM1及びM4のゲートの接続点とMOSトランジスタM2及び

M3のゲートの接続点とに局部発振信号を差動入力している。そして、MOSトランジスタM1及びM3のドレインに接続された第1の混合出力端子B1を設けると共に、MOSトランジスタM2及びM4のドレインに接続された第2の混合出力端子B2を設けている。MOSトランジスタM1及びM3、M2及びM4のドレインは、それぞれMOSトランジスタM8及びM9を介して電源VDDに接続されている。

[0080] ミキサ回路43は、局部発振信号をRF信号の周波数と同じにすれば、混合出力端子からベースバンド信号が出力される。

ミキサ回路43のMOSトランジスタのゲートを立体構造にし、かつ低温プラズマ雰囲気でゲート酸化膜を形成することで、MOSトランジスタM1とM2とからなる差動增幅回路、MOSトランジスタM2とM4とからなる差動增幅回路、MOSトランジスタM5とM6からなる差動增幅回路のチャネル長変調効果の影響を少なくできるので、周波数変換時の信号の歪みを減らすことができる。また、上記の差動增幅回路の負荷として機能するドレイン側の定電流回路(MOSトランジスタM8とM9からなる回路)、あるいは、ソース側の定電流回路(MOSトランジスタM7からなる回路)のチャネル長変調効果の影響を少なくできるので、ドレイン電圧が変化したときのドレイン電流の変動を少なくできる。

[0081] ミキサ回路44も、図5に示す回路で構成されている。図5と異なる点は、局部発振回路45により生成される局部発振信号の位相を90度ずらした信号がMOSトランジスタM1～M4のゲートに供給される点である。

[0082] 上記の周波数変換回路によれば、シリコン表面のダメージを減らし表面を平坦化することで、MOSトランジスタの特性(例えば、しきい値電圧など)のばらつきを少なくできる。これにより、ミキサ回路43とミキサ回路44の内部で発生するI信号とQ信号の位相誤差、振幅誤差等を減らすことができる。また、ミキサ回路43とミキサ回路44で発生する誤差のレベルをほぼ同じにできるので、I信号とQ信号の相対誤差も減らすことができる。

[0083] さらに、ゲートを立体構造に、低温のプラズマ雰囲気中でゲート酸化膜を形成することで、MOSトランジスタで構成した增幅回路、定電流回路のチャネル長変調効果の影響を少なくでき、周波数変換回路における信号の歪みを減らすことができる。

[0084] また、MOSトランジスタの電流駆動能力を向上させると共に、シリコン基板の正面におけるトランジスタの素子面積を小さくできる。

さらに、周波数変換回路のDCオフセットや $1/f$ ノイズを低減することができるので、受信信号を音声信号に直接変換するダイレクトコンバージョン方式の周波数変換回路に特に有効である。

[0085] ミキサ回路43及び44は、例えば、nチャネルMOSとpチャネルMOSトランジスタからなるCMOS回路で構成することも可能である。その場合、pチャネルMOSトランジスタとnチャネルMOSトランジスタの寄生容量をほぼ同じ値にできるので回路の特性が向上する。また、pチャネル及びnチャネルMOSトランジスタのオン、オフ時の電流の不平衡によるノイズを低減できる。

[0086] 周波数変換回路以外のDCアンプ、A/D変換回路、デジタル回路等で使用されるpチャネルMOSトランジスタとnチャネルMOSトランジスタのチャネルを上述した半導体プロセスにより製造しても良い。

[0087] このように構成することで、他の回路のpチャネルMOSトランジスタとnチャネルMOSトランジスタの特性を揃えることができるので、DCオフセットや $1/f$ ノイズを低減できる。また、MOSトランジスタの電流駆動能力が向上するので回路の動作特性も改善される。

[0088] さらに、周波数変換回路、あるいは他の回路のpチャネルMOSとnチャネルMOSトランジスタのチャネルを、シリコンの異なる結晶面(例えば、(100)面と(110))に形成するように、それらのチャネル幅をpチャネルMOSトランジスタとnチャネルMOSトランジスタの電流駆動能力がほぼ等しくなるように設計しても良い。

[0089] このように構成することで、pチャネルMOSトランジスタとnチャネルMOSトランジスタの寄生容量等をほぼ同じにできるので、スイッチング特性を向上できると共に、MOSトランジスタのオン、オフ時に流れる電流により発生するノイズを低減できる。

[0090] 次に、図6は、ダイレクトコンバージョン受信回路のDCアンプ49、50の一例を示す図である。このDCアンプも上述した半導体製造プロセスにより製造される。

nチャネルMOSトランジスタ61、62は、差動增幅回路を構成しており、ローパスフィルタ47または48から出力される信号VinがMOSトランジスタ61のゲートに入力し、

信号— $V_{in}$ がMOSトランジスタ62のゲートに入力している。

[0091] nチャネルMOSトランジスタ63とnチャネルMOSトランジスタ64とはカレントミラーレンジ回路を構成し、MOSトランジスタ63のドレインは、MOSトランジスタ61、62のソースに共通接続されている。MOSトランジスタ64のドレインは定電流源65を介して電源電圧VDDに接続され、MOSトランジスタ63、64のゲートは、MOSトランジスタ64のドレインに接続されている。

[0092] MOSトランジスタ63、64は、定電流回路を構成しており、MOSトランジスタ64のドレインには定電流源65が接続されているので、MOSトランジスタ63には、その定電流源65から供給される電流に比例した一定電流が流れる。

[0093] pチャネルMOSトランジスタ66、67は、カレントミラーレンジ回路を構成し、ソースが電源電圧VDDに接続され、ドレインがそれぞれMOSトランジスタ61、62のドレインに接続されている。また、MOSトランジスタ66、67のゲートは、MOSトランジスタ66のドレインに接続されている。このMOSトランジスタ66及び67は、MOSトランジスタ61及び62の負荷として機能する。

[0094] 上記の差動增幅回路からなるDCアンプは、入力信号 $V_{in}$ 及び $-V_{in}$ をMOSトランジスタ61、62で差動增幅し、增幅した信号を $V_o$ として出力している。

DCアンプのMOSトランジスタのゲートを立体構造にし、かつ低温プラズマ雰囲気中でゲート酸化膜を形成することで、MOSトランジスタ61と62からなる差動增幅回路のチャネル長変調効果の影響を少なくでき、差動增幅回路における信号の歪みを減らすことができる。また、差動增幅回路の負荷として機能するドレイン側の定電流回路(MOSトランジスタ66と67からなる回路)と、ソース側の定電流回路(MOSトランジスタ63と64からなる回路)のチャネル長変調効果の影響を少なくできるので、これらの回路におけるドレイン電流の変動を少なくできる。

[0095] 上述したように、シリコン表面のダメージを減らし表面を平坦化することで、MOSトランジスタの特性(例えば、しきい値電圧など)のばらつきを少なくできるので、回路全体のDCオフセットを小さくできる。これにより、DCオフセットを除去するための回路やコンデンサ等が不要となり、DCアンプの信号利得を大きくすることができる。DCアンプの信号利得を大きくすることで、例えば、ダイレクトコンバージョン方式の受信回路

のDCアンプの後段のA／D変換器に分解能の低いA／D変換器を使用できる。

[0096] さらに、アルゴン等のプラズマ雰囲気中でシリコン表面の終端水素を除去し、その後、酸素を含むアルゴン、クリプトン、あるいはキセノンと、酸素、窒素等の気体分子を含むプラズマの雰囲気中で、かつ550度以下の温度でシリコン絶縁膜を薄く、平坦に形成することで、シリコン表面の界面準位密度を低くすることができる。これにより、キャリアの再結合の確率を減らし、 $1/f$ ノイズを低減することができる。 $1/f$ ノイズを減らすことで、ミキサ43及び44でダウンコンバートされた信号のS／N比が改善されるので、DCアンプの利得を大きくすることができる。

[0097] また、MOSトランジスタの電流駆動能力を向上させると共に、素子面積を小さくできるので、集積度を高め、かつ動作速度を向上できる。また、DCアンプの電界効果トランジスタの動作特性を揃え、寄生容量を減らすことができるので、差動増幅回路の周波数特性が改善され、DCオフセットが減少することから大きな信号利得を得ることができ。このようにDCオフセットや $1/f$ のノイズを低減することができるので、受信信号を音声信号に直接変換するダイレクトコンバージョン方式のDCアンプに特に有効である。

[0098] DCアンプは、例えば、nチャネルMOSとpチャネルMOSトランジスタからなるCMOS回路で構成することも可能である。その場合、pチャネルMOSトランジスタとnチャネルMOSトランジスタの寄生容量をほぼ同じ値にし、かつ寄生容量を小さくできるので回路の動作速度等が向上する。また、pチャネル及びnチャネルMOSトランジスタのオン、オフ時の電流の不平衡によるノイズを低減できる。

[0099] DCアンプ以外の周波数変換回路、A／D変換回路、デジタル回路等で使用されるpチャネルMOSトランジスタとnチャネルMOSトランジスタを上述した半導体プロセスにより製造しても良い。

[0100] このように構成することで、他の回路のpチャネルMOSトランジスタとnチャネルMOSトランジスタの特性を揃えることができるので、DCオフセットや $1/f$ ノイズを低減できる。また、MOSトランジスタの電流駆動能力が向上するので回路の動作特性も改善される。

[0101] さらに、DCアンプ、あるいは他の回路のpチャネルMOSとnチャネルMOSトランジ

スタのチャネルを、シリコンの異なる結晶面(例えば、(100)面と(110))に形成するようにし、それらのチャネル幅をpチャネルMOSトランジスタとnチャネルMOSトランジスタの電流駆動能力がほぼ等しくなるように設計しても良い。

[0102] このように構成することで、pチャネルMOSトランジスタとnチャネルMOSトランジスタの寄生容量等をほぼ同じにできるので、スイッチング特性を向上できると共に、MOSトランジスタのオン、オフ時に流れる電流により発生するノイズを低減できる。

[0103] 次に、図7は、ダイレクトコンバージョン受信回路の低雑音増幅器42の一例を示す。この低雑音増幅器42も、上述した半導体製造プロセスにより製造される。

図7に示されるように、当該低雑音増幅器の回路1000は、pチャネルMOSトランジスタM1とnチャネルMOSトランジスタM2を組み合わせたCMOSトランジスタ1002と、コンデンサC1とnチャネルMOSトランジスタM3とオペアンプOP1とを組み合わせた動作点決定回路1004とからなる。

[0104] 先ず、上記CMOSトランジスタ1002においては、pチャネルMOSトランジスタM1のゲートとnチャネルMOSトランジスタM2のゲートに対して共通の入力電圧(例えばアンテナで受信した搬送波に基づいて変化する入力電圧など)を加える。そして、pチャネルMOSトランジスタM1とnチャネルMOSトランジスタM2を信号増幅器として機能させる。さらに、本回路においては高い電圧利得を得るためにpチャネルMOSトランジスタM1のドレインに電圧源VDDを加える。そして、pチャネルMOSトランジスタM1のソースとnチャネルMOSトランジスタM2のドレインに上記入力電圧の増幅電圧が出力される。

[0105] 一方、上記動作点決定回路1004は、pチャネルMOSトランジスタM1のバイアス電流とドレイン電圧が電源電圧VDDによって影響を受けやすため、pチャネルMOSトランジスタM1のソースとnチャネルMOSトランジスタM2の間に挿入され、 $g_m$ を抑制して熱雑音と $1/f$ 雑音とが低下するように、基準電圧(Vref)を基準に上記増幅電圧を制御し、その動作点を決定する。なお、C1は熱雑音を減らすために挿入されている。

[0106] 本回路に示されるCMOSトランジスタ1002は、pチャネルMOSトランジスタM1及びnチャネルMOSトランジスタM2から発生する $1/f$ 雑音が大幅に低減される。また

、互いのMOSトランジスタ(M1及びM2)の素子面積を同一にしても互いにバラツキのない同一の電気的特性を得ることができる。さらに、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタの互いの寄生容量を一致させることができ、ゲート-ソース間電圧に対する互いのドレイン電流の立上がり特性と立下り特性のずれを大幅に緩和することができる。

[0107] よって、上記回路においては $1/f$ 雑音は勿論のことそのトランジスタ素子の電気的特性のバラツキによって生じる信号歪の影響が大幅に改善され、従来以上に低雑音で高利得な低雑音増幅器を構成できる。

[0108] そのため、低雑音増幅器において発生する $1/f$ 雑音や信号歪を低減させるための回路を新たに設ける必要がなくなり、低雑音増幅器を小型化できる。

また、ダイレクトコンバージョン受信方式に本発明の実施の形態の低雑音増幅器の構成を適用すれば、上記ダイレクトコンバージョン受信方式において先ず始めに利得を有する低周波雑音増幅器において $1/f$ 雑音が低減できるので、その後段において復調される信号のS/N比は向上し、ダイレクトコンバージョン受信方式によって復調する信号の品質を高くすることが可能になる。また、本発明の実施の形態の低雑音増幅器を適用すれば、その後段の回路において、 $1/f$ 雑音や信号歪を低減させるための回路を新たに設ける必要がなくなり、ダイレクトコンバージョン受信機を小型化できる。

[0109] さらに、上記立体構造のCMOSトランジスタを適用することにより、小型化、低消費電力、かつ高性能な低雑音増幅器或いはダイレクトコンバージョン受信機を構成できる。

本発明は、上述した実施の形態に限らず、以下のように構成しても良い。

[0110] 周波数変換回路は、ギルバート・セル型の回路に限らず、受信信号と局部発振信号を混合してベースバンド信号に変換する回路であればどのような回路でも良い。

シリコンの結晶面は、(100)面と(110)面の組み合わせに限らず、(100)面と(111)面等の他の結晶面と組み合わせても良い。

[0111] 本発明によれば、周波数変換回路のI信号とQ信号の位相誤差、振幅誤差等を減らすことができる。また、ダイレクトコンバージョン受信回路の $1/f$ ノイズとDCオフセッ

トを減らすことができる。さらに、チャネル長変調効果の影響を少なくし、周波数変換回路とダイレクトコンバージョン受信回路における信号の歪みを少なくできる。また、周波数変換回路のDCオフセットと $1/f$ ノイズを減らすことができるので、ダイレクトコンバージョン受信方式において特に効果が大きい。

## 請求の範囲

[1] 受信信号を直交変換してI信号とQ信号に変換する回路が半導体集回路基板上に形成された周波数変換回路であって、  
第1の結晶面を正面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したMIS電界トランジスタからなる差動增幅回路を有するダイレクトコンバージョン受信の周波数変換回路。

[2] 前記突出部は、頂面がシリコンの(100)面からなり、側壁面がシリコンの(110)からなり、前記ソース及びドレインが、前記ゲートを挟む前記突出部及びシリコン基板の該突出部の左右の領域に形成された請求項1記載のダイレクトコンバージョン受信の周波数変換回路。

[3] 前記周波数変換回路は、pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタからなり、前記pチャネルMIS電界効果トランジスタの突出部の頂面及び側壁面のゲート幅を、前記pチャネルMISトランジスタとnチャネルMISトランジスタの電流駆動能力がほぼ等しくなるように設定した請求項1または2記載のダイレクトコンバージョン受信の周波数変換回路。

[4] 前記周波数変換回路は、受信信号がそれぞれのゲートに入力される複数の前記MIS電界効果トランジスタからなる差動增幅回路と、第1の局部発振信号がそれぞれのゲートに入力され、該第1の局部発振信号と前記受信信号とを混合する複数の前記MIS電界効果トランジスタからなる差動增幅回路とを有する第1のミキサ回路と、受信信号がそれぞれのゲートに入力される複数の前記MIS電界効果トランジスタからなる差動增幅回路と、前記第1の局部発振信号に対して90度の位相差を有する第2の局部発振信号がそれぞれのゲートに入力され、前記受信信号と前記第2の局部発振信号とを混合する複数のMIS電界効果トランジスタからなる差動增幅回路とを有する第2のミキサ回路と、前記第1の局部発振信号を生成する局部発振回路と、前記

第1の局部発振信号に対して90度の位相差を有する第2の局部発振信号を出力する移相器とからなる請求項1または2記載のダイレクトコンバージョン受信の周波数変換回路。

[5] 受信信号を直交変換してI信号とQ信号に変換する周波数変換回路を半導体回路基板上に形成した半導体集積回路であって、

第1の結晶面を正面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなる回路と

、  
前記pチャネルMIS電界効果トランジスタまたはnチャネルMIS電界効果トランジスタからなる差動增幅回路を有する周波数変換回路とからなるダイレクトコンバージョン受信の半導体集積回路。

[6] 前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの前記突出部の頂面及び側壁面のゲート幅を、前記pチャネルMIS電界効果トランジスタと前記nチャネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるよう設定した請求項5記載のダイレクトコンバージョン受信の半導体集積回路。

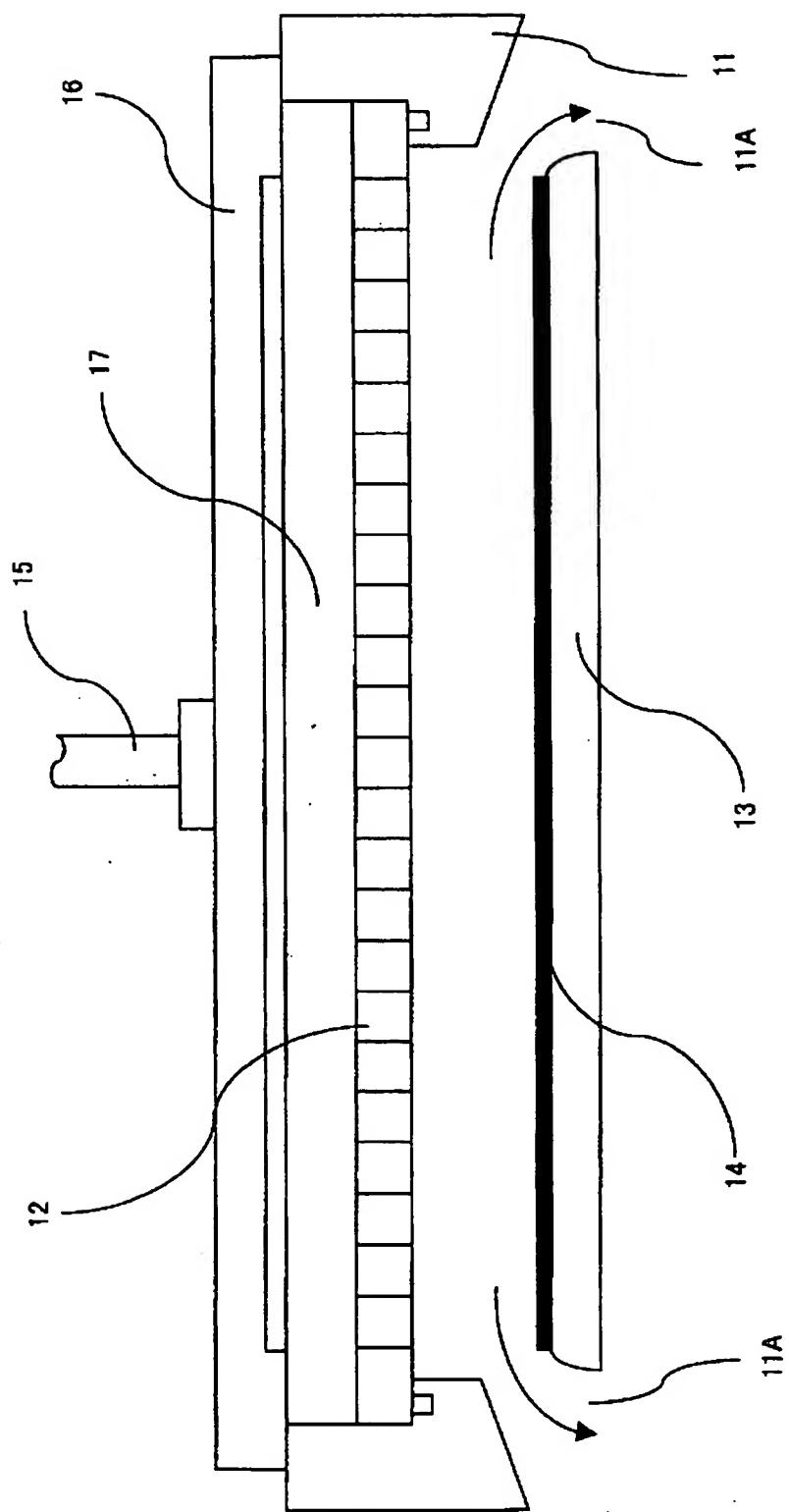
[7] 前記周波数変換回路は、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなるCMOS回路で構成される請求項5または6記載のダイレクトコンバージョン受信の半導体集積回路。

[8] 第1の結晶面を正面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したMIS電界トランジスタからなる差動增幅回路を有する周波数変換回路と、前記MIS電界効

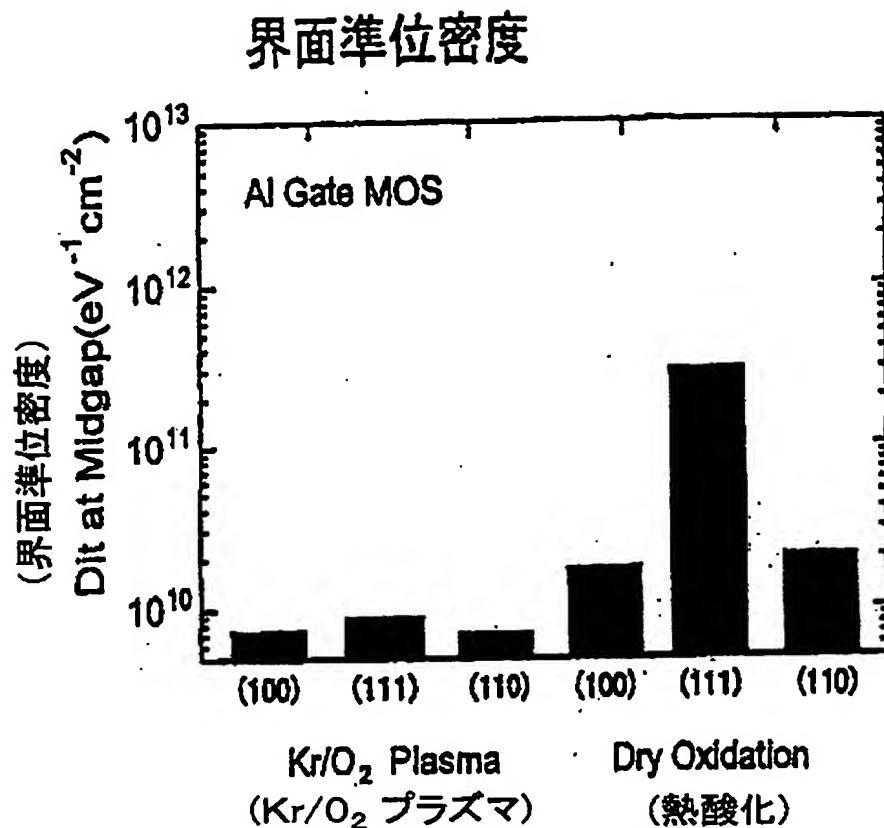
果トランジスタからなる差動増幅回路を有するDCアンプとを半導体集積回路基板上に形成したダイレクトコンバージョン受信機。

- [9] 第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したMIS電界トランジスタからなる差動増幅回路を有する周波数変換回路と、前記MIS電界効果トランジスタからなる低雑音増幅器とを半導体集積回路基板上に形成したダイレクトコンバージョン受信機。
- [10] 第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したMIS電界トランジスタからなる差動増幅回路を有する周波数変換回路と、前記MIS電界効果トランジスタからなる差動増幅回路を有するDCアンプと、前記MIS電界効果トランジスタからなる低雑音増幅器とを半導体集積回路基板上に形成したダイレクトコンバージョン受信機。

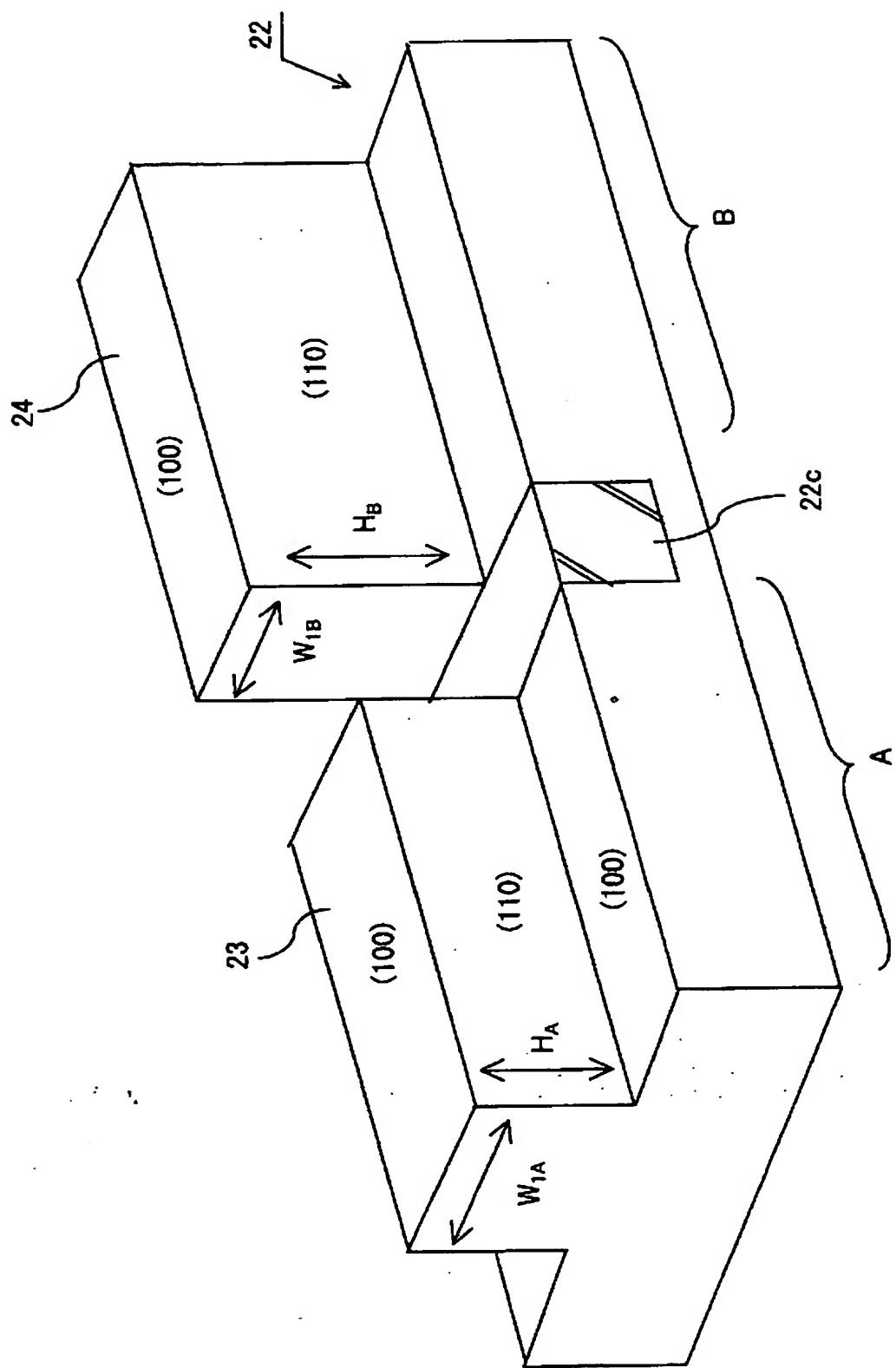
[ 1]



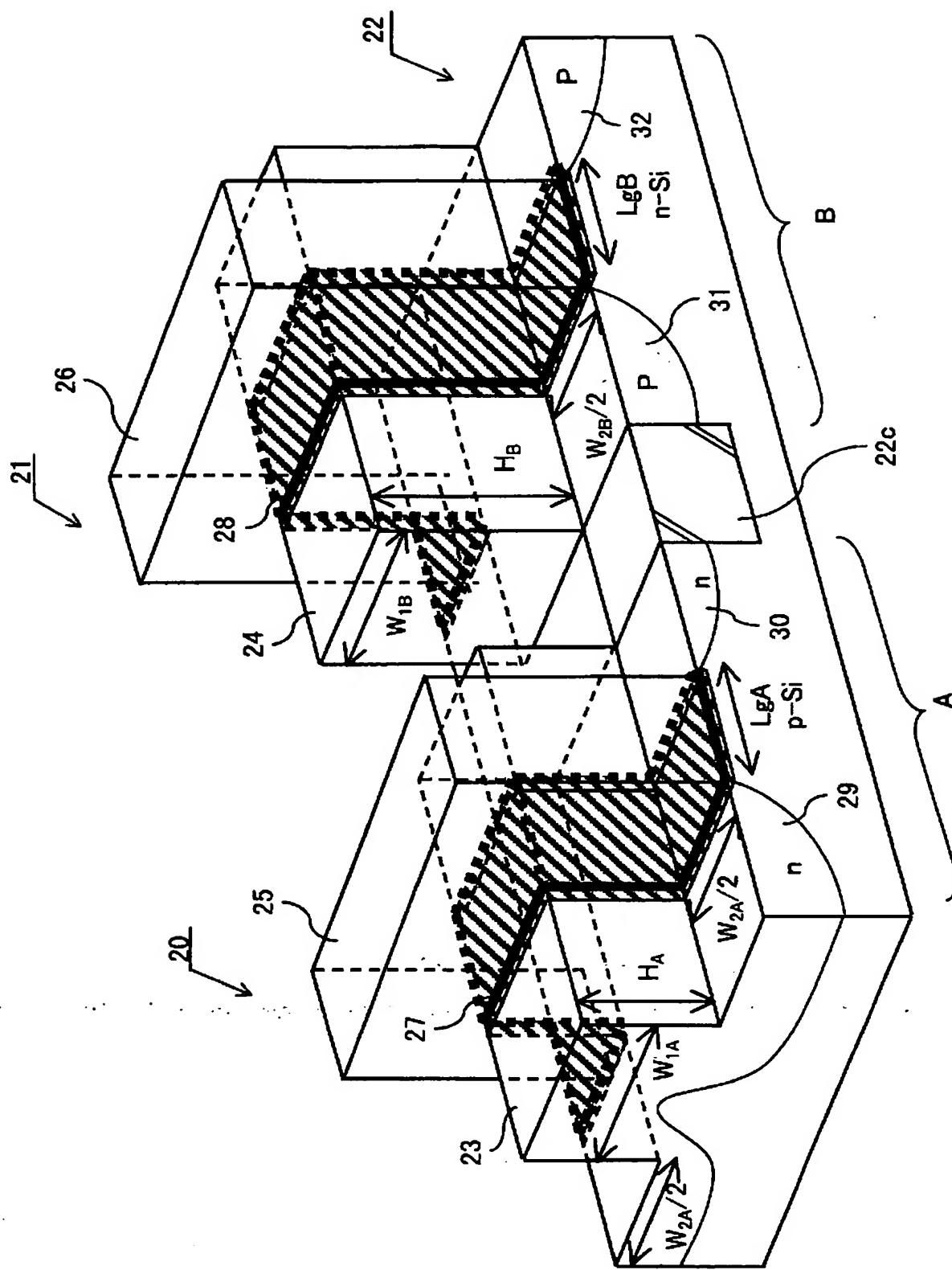
[図2]



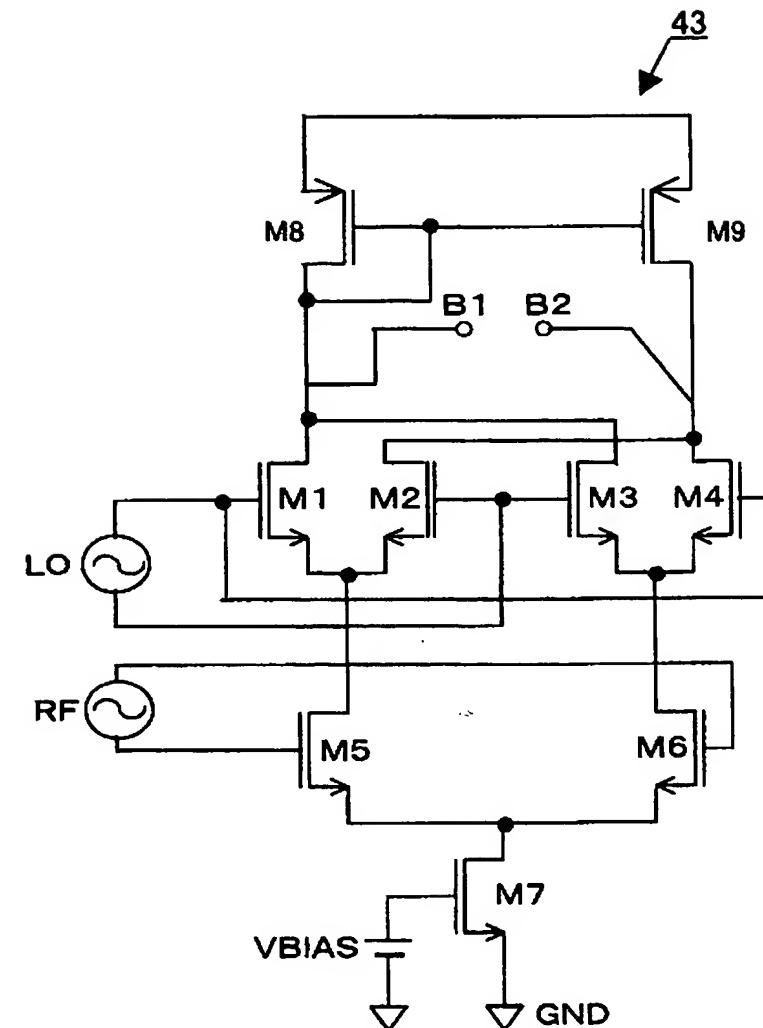
[図3]



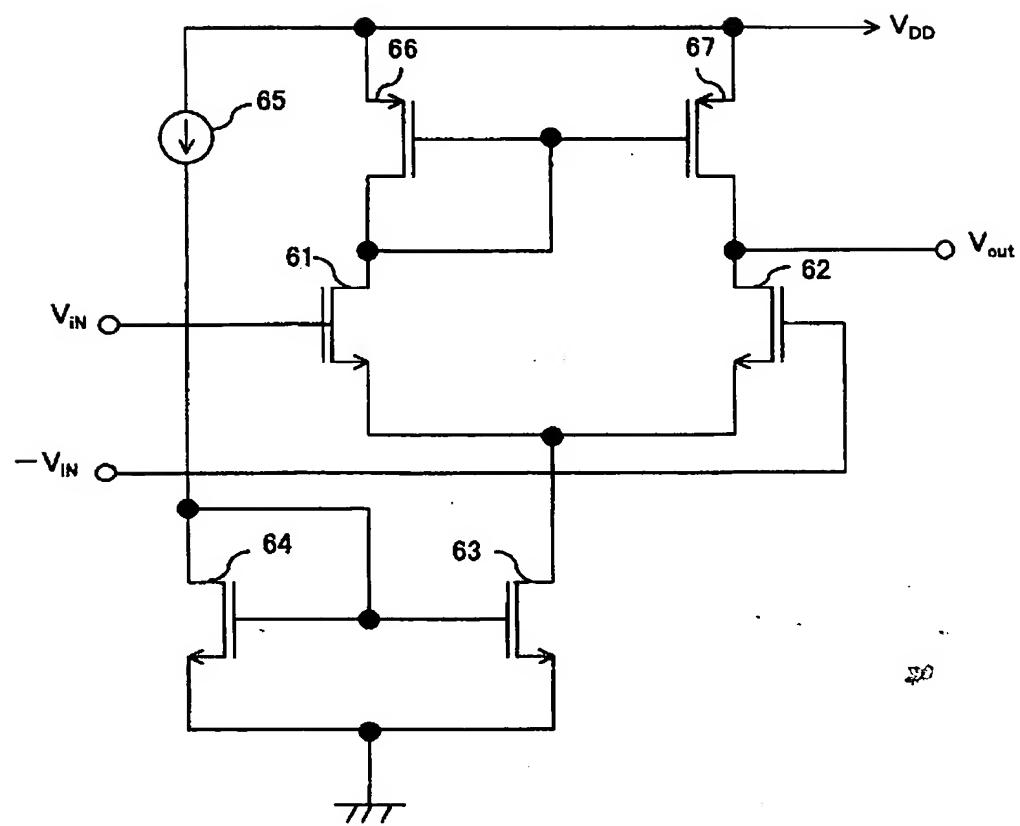
[図4]



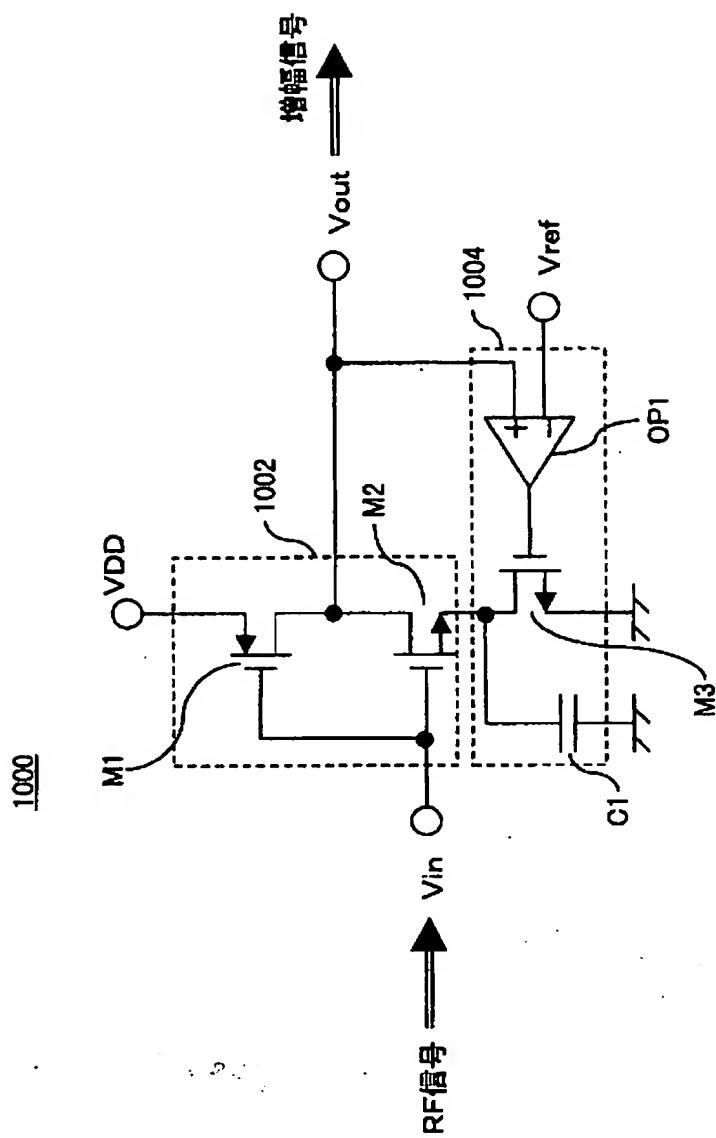
[図5]



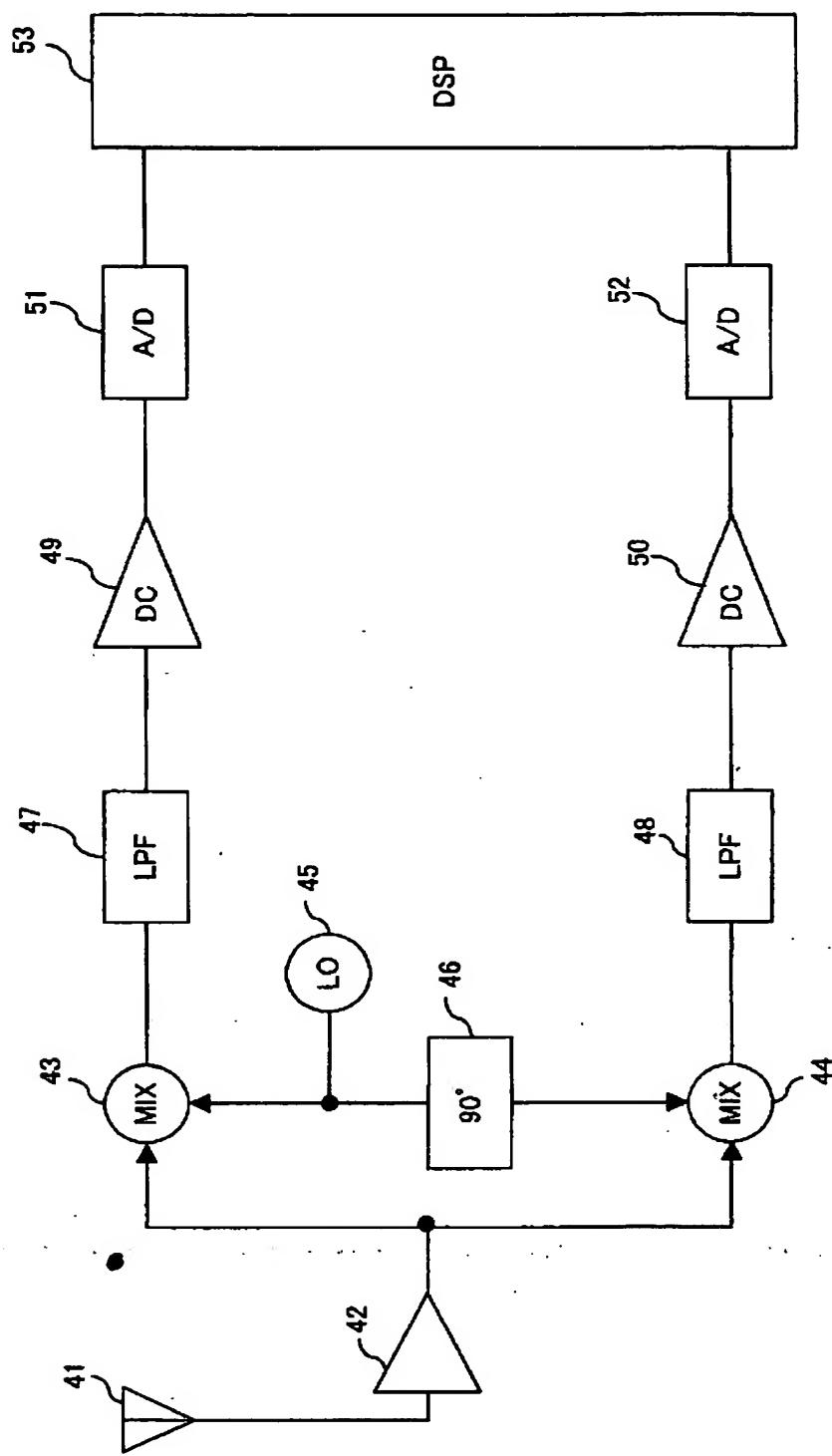
[図6]



[図7]



[図8]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008216

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl' H01L27/092, H03D7/14, H04B1/30, H01L29/78, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl' H01L27/092, H03D7/14, H04B1/30, H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-118255 A (Toshiba Corp.), 19 April, 2002 (19.04.02), Full text; all drawings & US 2002/011612 A1 Full text; all drawings	1, 2, 4, 5, 7-10 3, 6
Y A	JP 2002-261097 A (Tadahiro OMI), 13 September, 2002 (13.09.02), Full text; all drawings & EP 1347506 A1 Full text; all drawings & WO 2002/054473 A1 & JP 2002-261091 A & KR 3068570 A	1, 2, 4, 5, 7-10 3, 6

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search  
06 August, 2004 (06.08.04)Date of mailing of the international search report  
24 August, 2004 (24.08.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP2004/008216

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2000-228611 A (Fujitsu Ltd.), 15 August, 2000 (15.08.00), Par. No. [0004]; Fig. 2 (Family: none)	1, 2, 4, 5, 7-10 3, 6
Y	JP 2000-106577 A (Toshiba Corp.), 11 April, 2000 (11.04.00), Par. Nos. [0024] to [0026]; Fig. 1 (Family: none)	4, 8, 10
Y	JP 4-154312 A (Fujitsu Ltd., Fujitsu VLSI Ltd.), 27 May, 1992 (27.05.92), Full text; all drawings (Family: none)	8, 10

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. 7 H01L27/092, H03D7/14, H04B1/30, H01L29/78, H01L21/336

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. 7 H01L27/092, H03D7/14, H04B1/30, H01L29/78, H01L21/336.

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-118255 A (株式会社東芝)	1, 2, 4, 5, 7-10
A	2002. 04. 19, 全文, 全図 &	3, 6
	US 2002/011612 A1, 全文, 全図	
Y	JP 2002-261097 A (大見 忠弘)	1, 2, 4, 5, 7-10
A	2002. 09. 13, 全文, 全図 &	3, 6
	EP 1347506 A1, 全文, 全図 & WO 2002/054473, A1 & JP 2002-261091 A & KR 3068570 A	

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

## 国際調査を完了した日

06. 08. 2004

## 国際調査報告の発送日

24. 8. 2004

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官 (権限のある職員)

渕 真悟

4 L 3125

電話番号 03-3581-1101 内線 3462

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-228611 A (株式会社日立製作所)	1, 2, 4, 5, 7-10
A	2000. 08. 15, 段落【0004】，第2図 (ファミリーなし)	3, 6
Y	JP 2000-106577 A (株式会社東芝) 2000. 04. 11, 段落【0024】-【0026】，第1図 (ファミリーなし)	4, 8, 10
Y	JP 4-154312 A (富士通株式会社, 富士通バイエルン スアイ株式会社) 1992. 05. 27, 全文, 全図 (ファミリーなし)	8, 10